

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06282350 A**

(43) Date of publication of application: 07 . 10 . 94

(51) Int. Cl.

G06F 1/10
H03K 5/00

(21) Application number: 05330530

(22) Date of filing: 27 . 12 . 93

(30) Priority: 27 . 01 . 93 JP 05 11371

(71) Applicant: HITACHI LTD

(72) Inventor: ITOU HIROYUKI
MASUDA NOBORU
MAEJIMA HIDEO
NISHIMUKAI TADA

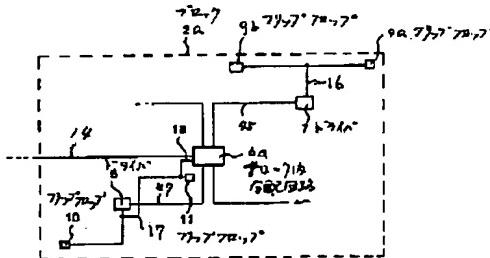
(54) INTRA-LSI CLOCK DISTRIBUTING CIRCUIT

COPYRIGHT: (C)1994,JPO

(57) Abstract:

PURPOSE: To supply clock signals with small skew to the whole LSI by generating plural intra-block clock signals having a phase depending upon the phase difference of the signals in response to a fed back intra-block clock signal.

CONSTITUTION: As for a block 2a, for example, an output wiring 17 from a driver 8 is selected as a representative of the block and returned to an intra-block distributing circuit 6 through a wiring 18. Since the phase of a clock signal on a wiring 16 is designed so as to coincide with that of the wiring 17, the selection of the wiring 17 as the representative is valid. The circuit 6 receiving a feedback signal compares the phase of the fed back clock signal with that of a clock input signal through a wiring 14 to change the phase of a clock signal to be outputted. Since the phase of a clock signal to be distributed through the wiring 14 is made in-phase on the input point of each intra-block distributing circuit, in-phase on the input point of a flip flop is attained by matching the phase with that of the circuit 6.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-282350

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl. ⁵ G 0 6 F 1/10 H 0 3 K 5/00	識別記号 V 7402-5 J 7165-5B	府内整理番号 F I	技術表示箇所 3 3 0 A
--	-------------------------------	---------------	-------------------

審査請求 未請求 請求項の数26 O.L (全12頁)

(21)出願番号 特願平5-330530	(71)出願人 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日 平成5年(1993)12月27日	(72)発明者 以頭 博之 東京都国分寺市東恋ヶ窪1丁目280番地
(31)優先権主張番号 特願平5-11371	(72)発明者 益田 昇 東京都国分寺市東恋ヶ窪1丁目280番地
(32)優先日 平5(1993)1月27日	(72)発明者 前島 英雄 東京都国分寺市東恋ヶ窪1丁目280番地
(33)優先権主張国 日本 (JP)	(74)代理人 弁理士 小川 勝男

最終頁に続く

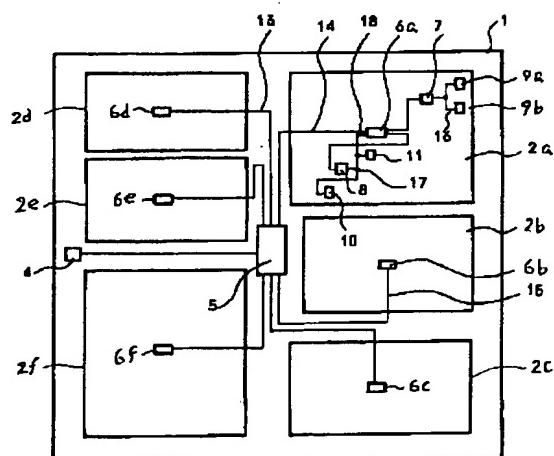
(54)【発明の名称】 LSI内クロック分配回路

(57)【要約】

【目的】 サイズの大きなLSIチップ内、あるいは、チップ内位置による、クロック遅延時間のばらつきが特に大きいLSIにおいて、チップ上の各フリップフロップに分配するクロック信号の位相ばらつき（スキュー）を小さくする。

【構成】 チップを複数のブロック2, 3, …に分割し、主分配回路5により各ブロック内のクロック分配回路6にクロックを分配する。分配回路6はブロック内のフリップフロップ9, 10, 11にクロックを分配する。主分配回路5から各ブロックの入口までの遅延時間のばらつきは、等負荷容量配線13, 14, 15等によって遅延時間をそろえ、各ブロック内においては、いずれかのフリップフロップたとえば11に入力される信号を分配回路6に配線18によりフィードバックし、分配回路6aはそのクロックの位相と、そのブロックに入力されたクロックの位相とを比較し、その結果により、その分配回路から分配するクロックの位相を変える。このようなクロック分配回路は、ブロックごとに、内部のクロック配線の長さが異なる場合にも適用出来る。

図 1



1: LSIチップ
2a～2f: ブロック
6a～6f: ブロック内分配回路
7, 8: ダイヤル
9a, 9b, 10, 11: フラップフロップ
13, 14, 15, 16, 17, 18: 配線

【特許請求の範囲】

【請求項1】LSIチップの外部より供給された外部クロック信号を、該LSIチップ内部の複数の回路素子に実質的に同じ位相で供給するため、該LSI内に設けられたクロック分配回路であつて、

該外部クロック信号から、それぞれ該LSIチップの内部の複数のブロックの一つに分配すべき互いに実質的に同相の複数のブロック別クロック信号を生成する主分配回路と、

該主分配回路に接続され、該生成された複数のブロック別クロック信号を、互いにほぼ等位相で、かつ、該複数のブロックの異なるものに分配するための複数のブロック別クロック信号配線と、

各ブロック内に設けられたブロック内分配回路であつて、該複数のブロック別クロック信号配線の一つに接続され、かつ、該一つのブロック別クロック信号配線を介して転送された一つのブロック別クロック信号から、そのブロック内の複数の回路素子に分配すべき互いに実質的に同相の複数のブロック内クロック信号を生成するものと、

各ブロック内に設けられた複数のブロック内クロック信号配線であつて、そのブロック内に設けられたブロック内分配回路とそのブロック内の複数の回路素子に接続され、該ブロック内分配回路により生成された複数のブロック内クロック信号を該複数の回路素子に互いにほぼ等位相で分配するものと、

各ブロック内に設けられたフィードバック配線であつて、そのブロック内の複数のブロック内クロック信号配線の一つと、そのブロックのブロック内分配回路とに接続され、そのブロック内クロック信号配線に接続されたいずれかの回路素子に分配されたブロック内クロック信号を、そのブロック内分配回路にフィードバックするものとを有し、

各ブロックのブロック内分配回路は、

そのブロック内分配回路に接続されたブロック別クロック信号配線を経由してそのブロックに分配されたブロック別クロック信号とそのブロック内の該フィードバック用配線によりフィードバックされたブロック内クロック信号に応答して、それらの信号の位相差に依存する位相を有する複数のブロック内クロック信号を生成するもの。

【請求項2】各ブロックのブロック内分配回路は、該主分配回路により分配されたブロック別クロック信号を可変の遅延時間でもって遅延させる可変遅延回路と、そのブロックに分配されたブロック別クロック信号と、そのブロック内からフィードバックされたブロック内クロック信号との位相を比較する位相比較回路と、該位相比較回路の出力に応答して、該可変遅延回路による遅延時間を制御する回路と、

該可変遅延回路より出力される遅延されたブロック別ク

ロック信号から複数のブロック内クロック信号を生成する回路とを有する請求項1記載のクロック分配回路。

【請求項3】各ブロック内の複数のブロック内クロック信号配線は、それぞれそのブロック内の複数の回路素子の内の選択された一部に接続され、そのブロックの該フィードバック用配線は、そのブロック内の複数のブロック内クロック信号配線の一つに選択的に接続されている請求項1記載のクロック分配回路。

【請求項4】各ブロック内の複数のブロック内クロック信号配線の長さは、そのブロック内の他のブロック内クロック信号配線の長さと実質的に同じである請求項3記載のクロック分配回路。

【請求項5】各ブロック内の、該フィードバック用配線に接続された該一つのブロック内クロック信号配線の長さと該フィードバック用配線の長さの和は、そのブロックの該一つのブロック内クロック信号配線以外の複数のブロック内クロック信号配線のそれぞれの長さと実質的に同じである請求項3記載のクロック分配回路。

【請求項6】各ブロック内の複数のブロック内クロック信号配線の長さは、他のブロックの該複数のブロック内クロック信号配線の長さと実質的に同じである請求項4記載のクロック分配回路。

【請求項7】各ブロック内の、該フィードバック用配線に接続された該一つのブロック内クロック信号配線の長さと該フィードバック用配線の長さの和、および、そのブロックの該一つのブロック内クロック信号配線以外の複数のブロック内クロック信号配線のそれぞれの長さは、他のブロック内の、そのブロック内の該フィードバック用配線に接続された一つのブロック内クロック信号配線の長さとそのフィードバック用配線の長さの和、および、該他のブロックの該一つのブロック内クロック信号配線以外の複数のブロック内クロック信号配線のそれぞれの長さと実質的に同じである請求項5記載のクロック分配回路。

【請求項8】各ブロックは、そのブロックの該ブロック内分配回路から分配されるクロック信号に応答して、そのブロックの該複数のブロック内クロック信号配線を駆動するため、多段に配列された複数のドライバ回路をさらに有する請求項3記載のクロック分配回路。

【請求項9】各ブロックは、そのブロックの該ブロック内分配回路から分配されるクロック信号に応答して、そのブロックの該複数のブロック内クロック信号配線を駆動するため、多段に配列された複数のドライバ回路をさらに有する請求項4記載のクロック分配回路。

【請求項10】各ブロックは、そのブロックの該ブロック内分配回路から分配されるクロック信号に応答して、そのブロックの該複数のブロック内クロック信号配線を駆動するため、多段に配列された複数のドライバ回路をさらに有する請求項5記載のクロック分配回路。

【請求項11】LSIチップの外部より供給された外部

クロック信号を、該LSIチップ内部の複数の回路素子に実質的に同じ位相で供給するため、該LSI内に設けられたクロック分配回路であつて、

該外部クロック信号から、それぞれ該LSIチップの内部の複数のブロックの一つに分配すべき互いに実質的に同相の複数のブロック別クロック信号を生成する主分配回路と、

該主分配回路に接続され、該生成された複数のブロック別クロック信号を、互いにほぼ等位相で、かつ、該複数のブロックの異なるものに分配するための複数のブロック別クロック信号配線と、

各ブロック内に設けられたブロック内分配回路であつて、該複数のブロック別クロック信号配線の一つに接続され、かつ、該一つのロック別クロック信号配線を介して転送された一つのブロック別クロック信号から、そのブロック内の複数の回路素子に分配すべき互いに実質的に同相の複数のブロック内クロック信号を生成するものと、

各ブロック内に設けられた複数のブロック内クロック信号配線であつて、そのブロック内に設けられたブロック内分配回路とそのブロック内の複数の回路素子に接続され、該ブロック内分配回路により生成された複数のブロック内クロック信号を該複数の回路素子に互いにほぼ等しい位相で分配するものとを有し、

各ブロックの該複数のブロック内クロック信号配線が、そのブロック内の複数の回路素子に与える複数のブロック内クロック信号の位相は、少なくとも一つの他のブロックの該複数のブロック内クロック信号配線が、該他のブロック内の複数の回路素子に与える該複数のブロック内クロック信号の位相とは実質的に異なり、

各ブロックは、フィードバック用配線であつて、そのブロック内の複数のブロック内クロック信号配線の一つと、そのブロックのブロック内分配回路とに接続され、そのブロック内クロック信号配線に接続されたいずれかの回路素子に分配されたブロック内クロック信号を、そのブロック内分配回路にフィードバックするものをさらに有し、

各ブロックのブロック内分配回路は、

そのブロック内分配回路に接続されたブロック別クロック信号配線を経由してそのブロックに分配されたブロック別クロック信号とそのブロック内の該フィードバック用配線によりフィードバックされたブロック内クロック信号に応答して、それらの信号の位相差に依存する位相を有する複数のブロック内クロック信号を生成するもの。

【請求項12】各ブロックのブロック内分配回路は、該主分配回路により分配されたブロック別クロック信号を可変の遅延時間でもって遅延させる可変遅延回路と、そのブロックに分配されたブロック別クロック信号と、そのブロック内からフィードバックされたブロック内ク

ロック信号との位相を比較する位相比較回路と、該位相比較回路の出力に応答して、該可変遅延回路による遅延時間を制御する回路と、

該可変遅延回路より出力される遅延されたブロック別クロック信号から複数のブロック内クロック信号を生成する回路とを有する請求項11記載のクロック分配回路。

【請求項13】各ブロック内の複数のブロック内クロック信号配線は、それぞれそのブロック内の複数の回路素子の内の選択された一部に接続され、

10 そのブロックの該フィードバック用配線は、そのブロック内の複数のブロック内クロック信号配線の一つに選択的に接続されている請求項11記載のクロック分配回路。

【請求項14】各ブロック内の複数のブロック内クロック信号配線の長さは、そのブロック内の他のブロック内クロック信号配線の長さと実質的に同じであり、該複数のブロックの内の少なくとも一つのブロック内の該複数のブロック内クロック信号配線の長さが、他のいずれかのブロック内に設けられた該複数のブロック内クロック信号配線の長さと実質的に異なる請求項13記載のクロック分配回路。

【請求項15】各ブロック内の、該フィードバック用配線に接続された該一つのブロック内クロック信号配線の長さと該フィードバック用配線の長さの和、および、そのブロックの該一つのブロック内クロック信号配線以外の複数のブロック内クロック信号配線のそれぞれの長さは、他のブロック内の、そのブロック内の該フィードバック用配線に接続された一つのブロック内クロック信号配線の長さとそのフィードバック用配線の長さの和、お

30 よび、該他のブロックの該一つのブロック内クロック信号配線以外の複数のブロック内クロック信号配線のそれぞれの長さと実質的に同じであり、

各ブロック内の、該フィードバック用配線に接続された該一つのブロック内クロック信号配線の長さと該フィードバック用配線の長さの和、および、そのブロックの該一つのブロック内クロック信号配線以外の複数のブロック内クロック信号配線のそれぞれの長さは、他のブロック内の、そのブロック内の該フィードバック用配線に接続された一つのブロック内クロック信号配線の長さとそ

40 のフィードバック用配線の長さの和、および、該他のブロックの該一つのブロック内クロック信号配線以外の複数のブロック内クロック信号配線のそれぞれの長さと実質的に異なる請求項13記載のクロック分配回路。

【請求項16】各ブロックのブロック内分配回路は、そのブロックに接続されたブロック別クロック信号配線とそのブロック内のブロック内分配回路の可変遅延回路との間に設けられ、該主分配回路から分配されたブロック別クロック信号を、そのブロック内の各ブロック内クロック信号配線の長さと、該複数のブロック内の複数のブロック内クロック信号配線の長さの内の最小の長さとの

差に対応する固定の遅延時間を与える固定遅延回路をさらに有する請求項14記載のクロック分配回路。

【請求項17】各ブロックのブロック内分配回路は、そのブロックに接続されたブロック別クロック信号配線とそのブロック内のブロック内分配回路の可変遅延回路との間に設けられ、該主分配回路から分配されたブロック別クロック信号を、そのブロック内の各ブロック内クロック信号配線の長さと、該複数のブロック内の複数のブロック内クロック信号配線の長さの内の最小の長さとの差に対応する固定の遅延時間を与える固定遅延回路をさらに有する請求項15記載のクロック分配回路。

【請求項18】各ブロックは、そのブロックの該ブロック内分配回路から分配されるクロック信号に応答して、そのブロックの該複数のブロック内クロック信号配線を駆動するための、ツリー状の配列された複数のドライバ回路をさらに有する請求項14記載のクロック分配回路。

【請求項19】各ブロックは、そのブロックの該ブロック内分配回路から分配されるクロック信号に応答して、そのブロックの該複数のブロック内クロック信号配線を駆動するための、ツリー状の配列された複数のドライバ回路をさらに有する請求項15記載のクロック分配回路。

【請求項20】LSIチップの外部より供給された外部クロック信号を、該LSIチップ内部の複数の回路素子に実質的に同じ位相で供給するための、該LSI内に設けられたクロック分配回路であって、該外部クロック信号から、それぞれ該LSIチップの内部の複数のブロックの一つに分配すべき互いに実質的に同相の複数のブロック別クロック信号を生成する主分配回路と、

該主分配回路に接続され、該生成された複数のブロック別クロック信号を、互いにほぼ等位相で、かつ、該複数のブロックの異なるものに分配するための複数のブロック別クロック信号配線と、

各ブロック内に設けられたブロック内分配回路であって、該複数のブロック別クロック信号配線の一つに接続され、かつ、該一つのロック別クロック信号配線を介して転送された一つのブロック別クロック信号から、そのブロック内の複数の回路素子に分配すべき互いに実質的に同相の複数のブロック内クロック信号を生成するものと、

各ブロック内に設けられた複数のブロック内クロック信号配線であって、そのブロック内に設けられたブロック内分配回路とそのブロック内の複数の回路素子に接続され、該ブロック内分配回路により生成された複数のブロック内クロック信号を該複数の回路素子に互いにほぼ等位相で分配するものを有し、

各ブロックの該複数のブロック内クロック信号配線は、ネット状の配線を形成するように相互に接続され、

各ブロックの複数の回路素子は、そのブロック内に形成されたネット状の配線に接続され、

各ブロックは、フィードバック用配線であって、そのブロック内に形成されたネット状の配線と、そのブロックのブロック内分配回路とに接続され、そのブロック内クロック信号配線に接続されたいずれかの回路素子に分配されたブロック内クロック信号を、そのブロック内分配回路にフィードバックするものをさらに有し、

各ブロックのブロック内分配回路は、

- 10 そのブロック内分配回路に接続されたブロック別クロック信号配線を経由してそのブロックに分配されたブロック別クロック信号とそのブロック内の該フィードバック用配線によりフィードバックされたブロック内クロック信号に応答して、それらの信号の位相差に依存する位相を有する複数のブロック内クロック信号を生成するもの。

【請求項21】各ブロックのブロック内分配回路は、該主分配回路により分配されたブロック別クロック信号を可変の遅延時間でもって遅延させる可変遅延回路と、

- 20 そのブロックに分配されたブロック別クロック信号と、そのブロック内からフィードバックされたブロック内クロック信号との位相を比較する位相比較回路と、該位相比較回路の出力に応答して、該可変遅延回路による遅延時間を制御する回路と、

該可変遅延回路より出力される遅延されたブロック別クロック信号から複数のブロック内クロック信号を生成する回路とを有する請求項20記載のクロック分配回路。

- 【請求項22】各ブロック内の該ネット状の配線の全長は、他のブロックの該ネット状の配線の全長と実質的に同じである請求項20記載のクロック分配回路。

【請求項23】該複数のブロックの内の少なくとも一つのブロック内の、該ネット状のブロック内クロック信号配線の全長が、いずれかの他のブロック内に設けられたネット状のブロック内クロック信号配線の全長と異なる請求項20記載のクロック分配回路。

- 【請求項24】各ブロックは、そのブロックの該ブロック内分配回路から分配されるクロック信号に応答して、そのブロックの該ネット状の配線を駆動するための、多段に配列され複数のドライバ回路であって、同じ段に属する複数のドライバ回路の出力端が相互に接続されているものをさらに有する請求項20記載のクロック分配回路。

【請求項25】各ブロックは、そのブロックの該ブロック内分配回路から分配されるクロック信号に応答して、そのブロックの該ネット状の配線を駆動するための、多段に配列され複数のドライバ回路であって、同じ段に属する複数のドライバ回路の出力端が相互に接続されているものをさらに有する請求項22記載のクロック分配回路。

- 50 【請求項26】各ブロックは、そのブロックの該ブロッ

ク内分配回路から分配されるクロック信号に応答して、そのブロックの該ネット状の配線を駆動するための、多段に配列され複数のドライバ回路であって、同じ段に属する複数のドライバ回路の出力端が相互に接続されているものをさらに有する請求項23記載のクロック分配回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】大規模集積回路(LSI)チップの内部の複数箇所にクロック信号を供給するクロック分配回路に関する。

【0002】

【従来の技術】従来の電子計算機等に使用されるLSIチップの内部の多数の箇所にクロック信号を供給する場合、それらの多数の箇所で同じ位相でそのクロックを供給するようにいろいろの工夫がなされている。それらの代表的なものは、例えば、1992Symposium on VLSI Circuits Digest of Technical Papers、PP.50—53に解説されている。

【0003】LSI内クロック分配回路として最も普通に使用されるものは、ツリー構造の分配回路である。すなわち、チップ内の適当な位置、例えば、その中央に設けた一つの主分配回路と、チップを分割して得られる互いに同じ大きさを有する複数の領域内に設けた複数のブロック内分配回路とを用いるものである。前者は、チップの外部から入力されたクロック信号を受け取り、これらの複数のブロック内分配回路に互いに等容量を有する複数の配線によりそのクロック信号を分配する。各ブロック内分配回路はそのブロック内の複数のフリップフロップに、互いに等容量の複数の配線を経由して、この分配されたクロック信号を再度分配する。ブロック内のフリップフロップが多いときには、このブロック内分配回路に接続して複数のドライバをツリー状に接続し、その後段のドライバより適当な一つまたは複数のフリップフロップにクロック信号を供給する。

【0004】ブロック内分配回路あるいは上記クロックドライバは、ブロック間で同じ構造のものを使用する。こうすることにより、ブロック間分配回路から各ブロックの各フリップフロップまでの配線上のクロックの伝送遅延が相互に等しくなるようにして、クロックのスキューが生じないようにしている。

【0005】他のクロック分配回路の例は、ネット状の分配回路である。この回路は、上記参考文献の図1に示されているように、チップ全体にメッシュ状に設けた配線とこの配線にクロック信号を供給するドライバ群からなり、これらのドライバ群は、ツリー状にかつ、多段に接続されて、さらに、同じ段の複数のドライバの出力は相互に接続されている。このメッシュ状の配線の抵抗を十分小さくすることにより、クロック信号によるメッシュ上の各点での電圧変化のタイミングの相違を、無視で

きる程度にしている。従つて、LSI内のクロック信号を供給されるべきフリップフロップを、そのフリップフロップに近い適当な位置で上記メッシュに接続される。

【0006】なお、この参考文献には、複数のチップにクロックを分配するためのチップ間ブロック分配回路も解説している。

【0007】さらに、他の公知技術として、本願出願人により出願された特開平04-76610には、LSI内の複数のブロックにクロックを平行して供給した上で、それらのブロックの内の一つの代表ブロック内のクロック信号にその周辺のブロック内のクロック信号の位相を合わせ、さらに必要に応じて、それら周辺のブロック内のクロック信号の位相に、さらに周辺に位置するブロック内のクロック信号の位相を合わせる技術が開示されている。

【0008】

【発明が解決しようとする課題】上記ツリー構造のクロック分配回路は、ブロック内分配回路から複数のフリップフロップまでの遅延時間が等しくなるように、その分配回路からこれらのフリップフロップに至るまでの複数の配線の負荷容量を、相互に等しくなるようにする必要がある。このために、従来は、これらの配線を、同じ素材で、かつ、相互に等長となるように設計する。

【0009】しかし、実際上は、ブロック間でクロック用の配線の上の遅延のバラツキをなくすように設計、製造することは極めて、複雑な設計、あるいは製造上の注意が必要になるという問題がある。とくに、今後LSIがさらに大きくなったときに、この問題が顕著になると予想される。

【0010】例えば、ゲートアレイと呼ばれるLSIは、基本セルと呼ばれる同じ構造の素子群を多数搭載し、用途によってそれらのセルの接続を変えることが出来るようになっている。その結果、同一のLSIより、種々の機能のLSIを実現することが可能である。このゲートアレイの場合、その中には上記基本セルが多数周期的に配置されているので、これらをそのLSIの用途に無関係に同じ大きさの複数のブロックに分けられ、各ブロックに上記したブロック内分配回路が予め含まれている。したがって、このようなLSIでは、ブロックサイズは相互に等しい。

【0011】しかし、このようなLSIでも、次の要因により、クロック転送の遅延時間をブロック間で等しくすることは今後さらに難しくなる。

【0012】すなわち、ブロック内分配回路から各フリップフロップまでのクロック転送の遅延時間は、その分配回路の駆動能力と、それに接続された配線の容量に依存する。上述したように、さらにクロックドライバがこの分配回路とフリップフロップの間にあるときには、この遅延時間はそのドライバの駆動能力にも依存する。

【0013】しかし、今後LSIチップの寸法がさらに

大きくなった場合、上記ブロック内分配回路とドライバの駆動能力、あるいは、クロック用の配線の巾、厚さが同じLSI内でも、そのLSI内位置により、今までより大きくばらつくことになる。この中でも、ブロック内分配回路とドライバの駆動能力のバラツキの影響が大きい。したがって、クロックの転送の遅延がブロックにより異なることになる。

【0014】LSIの集積度が今後増大すると、同じ問題がべつの理由により生じする。

【0015】すなわち、大きなチップ上ではクロック信号用の配線以外の多くの配線が存在し、それらの配線をクロック用の配線が近接してあるいは多層に形成される。その結果、クロック用の配線を他の配線との間の浮遊容量が無視できなくなる。各クロック用の配線と他の配線との間の浮遊容量は、個々の配線が位置するLSI内の位置により異なる。従って、各クロック配線の長さ、厚さをクロック配線間で等しくしても、それらのクロック配線上のクロックの転送時間はLSI内位置により異なることになる。結局、ブロック間でクロック信号の転送時間がバラツクことになる。

【0016】以上に述べた種々の要因による、ブロック間のクロックのスキーの増大の影響は、クロックの周期が今後さらに短くなると、より深刻になる。

【0017】さらに、また、この従来技術では、ブロックサイズが相互に異なるLSIでは、上記クロック用の配線の設計が容易でないと言う問題がある。

【0018】例えば、LSIチップの中には、機能的に異なるいろいろの回路部分が含まれている場合がある。例えば、マイクロプロセッサ用のLSIチップの場合には、その中には、メモリ部分、あるいはいろいろの論理回路部分が含まれる。このようなLSIチップの場合、クロックを供給する単位であるブロックを、これらの回路部分の大きさ（広がり）に応じて異ならしめることができ、回路設計上望ましい。しかし、従来技術では、このように、ブロックサイズが異なるLSIの場合でも、各ブロックのブロック内分配回路からフリップフロップまでの配線長をブロック間で同じになるように、クロック用の配線を設計していた。

【0019】しかし、ブロックサイズが異なる以上、ブロックごとに異なるクロック用の配線長を使用できることは設計の容易さの観点から望ましい。

【0020】また、前述した網状のクロック配線を使用する従来技術では、多段に構成されたクロックドライバの出力が相互に接続されているため、それらのドライバの駆動能力のバラツキの影響は軽減される。さらにクロック転送用の配線が、ネット状に構成された配線がチップ全体に設けられているため、配線長の正確な制御は必ずしも必要でない。

【0021】しかし、この従来技術では、クロック用の配線が網状配線であるため、前述したツリー状の配線を

用いる場合より、配線の全長がはるかに長い。このため、配線の容量がはるかに大きい。このため、この従来技術では、配線で消費される電力がはるかに大きいと言う問題がある。LSIが大きくなると、さらに消費電力が増大するという問題もある。

【0022】前述の特開平04-76610によれば、LSI内のクロックのスキーの低減がこれらの従来技術より、より効果的になされると期待されるが、しかし、実際には、期待するほどの効果が出ないことがあり得る。すなわち、この方法では、ブロック内や隣合うブロックの間で逐次的に位相を比較してチップ全体のクロックの位相を合わせていくため、位相合わせの誤差が積み上がっていくため、期待するほどスキーが低減できないことが起こりうる。

【0023】従って、本願発明の第1の目的は、LSI内のクロック信号配線の負荷容量が、LSI内位置により変動する場合でも、LSI内全体にスキーの小さいクロック信号を提供し得るクロック分配回路を提供することにある。

【0024】本願発明の第2の目的は、LSI内のクロック信号配線の長さを、LSI内位置により変えることを許しながら、LSI内全体にスキーの小さいクロック信号を提供し得るクロック分配回路を提供することにある。

【0025】本願発明の第3の目的は、LSI内のクロック信号配線の負荷容量が、LSI内位置により変動する場合でも、LSI内全体にスキーが小さいクロック信号を、クロック信号の配線長の簡単な制御で、かつ、上記ネット状のクロック信号配線を用いる場合より少ない消費電力で供給し得るクロック分配回路を提供することにある。

【0026】

【課題を解決するための手段】上記第1の目的達成のために、本願第1の発明によるLSI内クロック分配回路は、主分配回路と、複数のブロック内クロック分配回路と、各ブロックに設けた複数のブロック内クロック信号配線と、各ブロックに設けたフィードバック配線であつて、そのブロック内の複数のブロック内クロック信号配線の一つと、そのブロックのブロック内分配回路とに接続され、そのブロック内クロック信号配線に接続されたいずれかの回路素子に分配されたブロック内クロック信号を、そのブロック内分配回路にフィードバックするものとを有し、各ブロックのブロック内分配回路は、そのブロック内分配回路に接続されたブロック別クロック信号配線を経由してそのブロックに分配されたブロック別クロック信号とそのブロック内の該フィードバック用配線によりフィードバックされたブロック内クロック信号に応答して、それらの信号の位相差に依存する位相を有する複数のブロック内クロック信号を生成する。

【0027】上記第2の目的達成のために、本願第2の

発明によるLSI内クロック分配回路は、主分配回路と、複数のブロック内クロック分配回路と、各ブロックに設けた複数のブロック内クロック信号配線と、各ブロックに設けたフィードバック配線であって、そのブロック内の複数のブロック内クロック信号配線の一つと、そのブロックのブロック内分配回路とに接続され、そのブロック内クロック信号配線に接続されたいずれかの回路素子に分配されたブロック内クロック信号を、そのブロック内分配回路にフィードバックするものとを有し、各ブロックの該複数のブロック内クロック信号配線が、そのブロック内の複数の回路素子に与える複数のブロック内クロック信号の位相は、少なくとも一つの他のブロックの該複数のブロック内クロック信号配線が、該他のブロック内の複数の回路素子に与える該複数のブロック内クロック信号の位相とは実質的に異なり、各ブロックのブロック内分配回路は、そのブロック内分配回路に接続されたブロック別クロック信号配線を経由してそのブロックに分配されたブロック別クロック信号とそのブロック内の該フィードバック用配線によりフィードバックされたブロック内クロック信号に応答して、それらの信号の位相差に依存する位相を有する複数のブロック内クロック信号を生成する。

【0028】上記第3の目的達成のために、本願第3の発明によるLSI内クロック分配回路は、主分配回路と、複数のブロック内クロック分配回路と、複数のブロック内クロック信号配線とを有し、各ブロックの該複数のブロック内クロック信号配線は、ネット状の配線を形成するように相互に接続され、各ブロックの複数の回路素子は、そのブロック内に形成されたネット状の配線に接続され、各ブロックは、フィードバック用配線であつて、そのブロック内に形成されたネット状の配線と、そのブロックのブロック内分配回路とに接続され、そのブロック内クロック信号配線に接続されたいずれかの回路素子に分配されたブロック内クロック信号を、そのブロック内分配回路にフィードバックするものをさらに有し、各ブロックのブロック内分配回路は、そのブロック内分配回路に接続されたブロック別クロック信号配線を経由してそのブロックに分配されたブロック別クロック信号とそのブロック内の該フィードバック用配線によりフィードバックされたブロック内クロック信号に応答して、それらの信号の位相差に依存する位相を有する複数のブロック内クロック信号を生成する。

【0029】

【作用】本願第1の発明によれば、各ブロックのブロック内分配回路が、ブロック内に現に分配されたクロック信号の位相を、ブロック間分配回路により分配されたクロックの位相に合わせることが出来る。従つて、前者がいろいろの要因で、LSI内位置に依存して変化しても、ブロック間でクロックのスキューを減らせることが可能になる。

【0030】さらに、本願第2の発明によれば、ブロックごとにブロック内クロック信号配線長を変えても、ブロック内分配回路によりブロック間でのクロックのスキューを減らせることが出来る。

【0031】さらに、本願第3の発明によれば、ブロックごとに、ネット状に接続された、クロック信号用の配線が形成されるので、クロック信号の配線長の制御はブロック内の個々の回路素子に対して行なう必要がない。それだけ、配線の配置の設計が容易となる。さらに、従来のごとく、チップ全体に対して一つのネット状のクロック信号配線を使用する場合より、チップ全体での配線長が少なくなるので、この従来例よりは、消費電力が少なくて済む。さらに、本願第1の発明と同様にして、ブロックごとに設けたブロック内分配回路によりブロック間でのクロックのスキューを減らせることが出来る。

【0032】

【実施例】

(実施例1) 図1は本発明による第1の実施例を示すもので、LSIチップ1がいくつかのブロック2a、2b、2c、2dに分割されている。これらのブロックは、論理ゲートの集まりであったり、メモリセルアレイであつたりするが、その具体的な中味はここではあまり重要ではない。本実施例では、各ブロックは互いに異なる大きさを有すると仮定する。クロック信号がLSIチップ内の異なるブロックに属するフリップフロップ9a、9b、10、11等に入力される時点で互いに位相が正確に合っている必要がある。

【0033】LSIチップ1へはパッド4からクロック信号が入力される。パッド4は必ずしもチップの周辺にある必要はないが、要するにその入力されたクロック信号はまずブロック間分配回路5に送られる。この分配回路5は、チップ1の中央に位置するように設計する。この理由は、各ブロック2等への距離を等しくしやすく、従つて後に述べるようにクロック信号の遅延時間を等しくして位相を合わせやすくするためである。クロック信号の配線長だけではなく、回路の電流等を調整して遅延時間を合わせる場合は、必ずしもチップの中央に主分配回路5を配置する必要はない。ただし、配線長を合わせて遅延時間を合わせる方が簡単であるので、ここでは、図1に示すように分配回路5をチップ中央に配置する。

【0034】ブロック間分配回路5からブロック内分配回路6a等に向かって、クロック信号を分配するための配線13、14、15等が用意される。本実施例では、まず、これら配線13、14、15等を伝播するクロック信号の遅延時間を等しくするため、配線13、14、15等の配線容量および配線抵抗が等しくなるように設計する。通常、ブロック間分配回路が配線13、14、15等を駆動するための回路電流は互いに同じに設計するため、クロック信号がブロック間分配回路5からブロック内分配回路6a等の入力点までの伝播遅延時間につ

いては、ほとんど配線 13、14、15 等の配線容量と配線抵抗を等しくすることで、その伝播遅延時間を互いに等しくすることができる。配線 13、14、15 等の配線容量と配線抵抗をほぼ等しくする最も簡単な方法は、配線長を等しくすることである。従って、実際の設計では、同じ配線材料、製造プロセスを使用し、配線幅を一定として等長配線を施し、他の配線との交差等による配線容量の微妙な変化を考慮して配線長を微調整するのがよい。

【0035】なお、これらの配線を駆動するブロック間分配回路 5 は、チップ内のある場所に集中的に配置されるため、チップ面積が大きくても、配線 13、14、15 等を駆動するそれぞれの回路の駆動能力のばらつきは無視できる。

【0036】図 2 はブロック間分配回路 5 の概略構成を示す。この分配回路 5 は各ブロック 2a 等にクロック信号を供給するため、多出力となり、クロック・ドライバ 32、33 等がクロック入力回路 31 に接続される。クロック・ドライバ 32 等の出力配線 14 等は前述のように、ブロック 2a 等に至る。ここでは、出力配線 14 等は異なるクロックドライバ 32 等から出力されるが、分配回路 5 はチップのある特定の場所に集中的に配置されるため、出力配線 14 等は、クロック・ドライバの出口を互いに接続しても、消費電力等に悪影響はない。あるいは、クロック・ドライバ 32、33 等はひとつの大きなドライバで構成しても同様の効果が得られる。

【0037】各ブロック 2a 等には、そのブロック内でクロック信号を分配するため、ブロック内分配回路 6a、6b、6c、6f が配置される。ブロック内分配回路 6a 等はブロック 2 等のほぼ中央に位置される。これは、上述のブロック間分配回路 5 の場合と同じ理由であり、ブロック内のフリップフロップまでの距離をできるだけ等しくするのに好都合だからである。ブロックがメモリセルアレイであれば、ブロックの中央にブロック内分配回路を配置するのは適当でないかもしれない。このときは、クロック信号を必要とする回路群のほぼ中央に位置するようにすればよい。

【0038】従って、以上のように、各ブロックの入口までの信号の遅延時間を互いに同じになるようにそろえることができる。また、ブロックの数は多くても 10 ~ 20 の程度であるため、その各ブロックまでの配線本数も多くなく、従って、レイアウト上の入念な設計により遅延時間をそろえることは容易である。

【0039】次にブロック内の構成についてブロック 2a を例にとり説明する。ブロック内分配回路 6a からブロック 2 の中のすべてのフリップフロップにクロック信号を供給しなければならないが、通常の設計手法としてさらに何段かのドライバを経てクロック信号を最終的にフリップフロップまで分配する。ここでは、1 段のそのドライバ 7、8 により構成している。

【0040】ドライバは、通常もっと数が多く、また 2 段以上でもよい。ブロック内分配回路 6a からドライバ 7、8 までは、等長配線等でクロック信号の遅延時間が等しくなるようにする。正確には、配線容量等の寄生負荷容量を等しくすることを意味する。ドライバがさらに次段のドライバを駆動するときは、そのための配線も同様の考え方で遅延時間をそろえることになる。ここでは、説明を簡単にするためドライバ 7、8 がそれぞれフリップフロップ 9a、9b および 10、11 を直接駆動する例を示している。

【0041】ここでも遅延時間をそろえるため、等負荷配線の考え方で設計する。すなわち、各ドライバ例えば 7 と、それにより駆動されるフリップフロップ 9a、9b を接続する配線の負荷容量は、同じブロック内の他のドライバ例えば 8 とそれにより起動されるフリップフロップ 10、11 のを接続する配線の負荷容量に等しくする。より具体的には、これらの配線を同じ巾で、同じ長さ、同じ材料で構成する。

【0042】本実施例では、異なるブロックのサイズは異なるが、それらのブロック内でのクロック信号の配線は異なるブロック間で等負荷容量になるように構成されているとする。

【0043】以上の構成で单一のブロックの中では、そのブロック内の各フリップフロップへ分配されるクロック信号の位相は精度よく合わせられる。しかしながら、異なるブロック間では、必ずしも位相合わせの精度はよくない可能性がある。それは、例えば、ブロック 2a と 2f のごとく、チップの中で距離的に大きく離れているブロックの場合、それらのブロック内のブロック内分配回路 6a、6f やドライバ 7、8 の特性のばらつきが有り得る。すると、配線は等負荷の考え方で設計しても、回路の駆動能力にばらつきがあると遅延時間は等しくならない。

【0044】このため、本実施例では、フィードバックの手法を用いる。ブロック 2a を例にとると、ドライバ 8 の出力配線 17 をこのブロックの出力配線の代表に選び、これを配線 18 によってブロック内分配回路 6a へ戻す。配線 18 によって配線 17 の負荷容量が増えるので、配線 18 は、できるだけ短くなるように設計する。

40 一般にそうであるように、クロック信号用の配線としては抵抗の小さな配線を使用する。従って、同じ配線上のクロック信号の転送時間は無視できると仮定する。したがって、フリップフロップ 11 におけるクロック信号の位相と、配線 18 によりブロック内分配回路 6a に分配されたクロック信号の位相差は無視できる。

【0045】しかし、より望ましくは、このフィードバック用の配線 18 の負荷を含めて、他のフィードバックを有しない出力配線の負荷容量と等しくすることである。

50 【0046】図 4 は、ブロック 2a のレイアウト例を示

したものである。

【0047】前述のように配線16でのクロック信号の位相は配線17のそれと同じになるように設計されるから、配線17を代表に選ぶことは妥当である。フィードバック信号を受けるブロック内分配回路は、そのフィードバックされたクロック信号と、配線14によるクロック入力信号とを位相比較し、出力するクロック信号の位相を変える機能をもつ。配線14によるクロック信号の分配については、上で述べたように各ブロック内分配回路の入力点で位相を合わせられているから、それと位相を合わせることにより、すべてのブロックの各フリップフロップの入力点でクロックの位相は精度よく合わせられることになる。

【0048】図3は、ブロック内分配回路6aを中心にブロック2aの中のクロック分配系を詳細に示したものである。ブロック内分配回路6aは、可変遅延回路41、位相比較回路42、遅延制御回路43、ドライバ回路50、44、46等で構成される。ブロック間分配回路5から送られてきたクロック信号は、ブロック内分配回路6aの可変遅延回路41と位相比較回路42に入力される。位相比較回路42は、そのクロック信号と、代表に選ばれたドライバ8の出力配線17から配線18によってフィードバックされる信号の位相を比較する。位相比較回路42は、一般に公知のものを使用でき、例えば特開平2-168303号公開公報の第3図のような構成により実現することができる。

【0049】位相の比較結果、つまりいずれの信号の位相が進んでいるかという情報は遅延制御回路43へ送り、遅延制御回路43はその情報に基づいて可変遅延回路41を制御して、クロック信号の遅延時間を変化させる。こうして、フィードバックされたクロック信号の位相がブロック間分配回路から供給されたクロックの位相に合うように、この遅延時間が調整される。

【0050】複数のLSI間に分配されるクロックの位相を合わせるために、可変の遅延時間をクロック信号に与える回路を各LSI内に一つづつ設けることはすでに公知であり、前述の参考文献にも記載されている。そのようなLSI間のクロック信号のスキーの低減に使用されたクロックの位相を変えるクロック分配回路を本実施例のブロック内分配回路として使用できる。また、遅延制御回路43や可変遅延回路41による遅延時間の調整方法の詳細も他の公知のもの、例えば、上述の特開平2-168303の第4、5図に開示されているものを使うことができる。

【0051】以上から明らかなように、本実施例では、ブロック間でブロック内分配回路あるいはそれに接続されたドライバの駆動能力が、LSI内のブロック位置により異なり、それによりそのブロック内のフリップフロップに供給されるクロック信号の位相がブロック間で異なっても、このクロック信号の位相が、ブロック間分配

回路から供給されたクロック信号の位相に合うように、各ブロック内のクロックに分配されるクロック信号の位相を合わせることが出来る。

【0052】従って、LSI製造時のLSI内位置による上記駆動能力のばらつきあるいは、ブロック内のクロック信号配線と他の配線との間の静電結合のLSI内位置によるばらつきによる、ブロック内クロック信号の位相のばらつきを修正できる。

【0053】(実施例2)実施例1においては、ブロックの大きさが異なるにもかかわらず、ブロック内のクロック信号配線の長さを相互に等しくした。

【0054】例えば、図1において、ブロック2aはブロック2eより大きく、より多くのフリップフロップを含むとすると、そのようなブロックの違いにもかかわらず、ブロック2a内の複数のクロック配線の長さを、そのブロック内で等しくするだけでなく、他のブロックのそれらの長さとも等しくした。

【0055】しかし、LSI内の各ブロックの大きさが異なるときには、各ブロックごとに配線長を異なることを許す方が設計が容易である。上の例では、ブロック2e内のクロック配線の長さを相対的に、ブロック2aのそれよりも小さくすることが設計上も望ましい。

【0056】本実施例では、このような、ブロックごとに異なる配線長を許す。

【0057】図1のごとく、ブロック間分配回路と、それから等長の配線で接続された複数のブロック内分配回路を使用し、かつ、各ブロック内では、複数のクロック配線をの負荷容量、具体的には、それらの長さを相互に等しくする。さらに、図1と同じく、各ブロック内のクロック配線から、ブロック内分配回路にクロック信号をフィードバックする信号線18を設ける。しかし、図1と異なり、各ブロックのクロック信号配線の長さが、他のブロックのそれと異ならしめる。その他の点は、実施例1と同じである。

【0058】第1の実施例の動作説明から明らかのように、このように、ブロックごとにクロックの配線の長さが異なっても、各ブロック内のフリップフロップに供給されるクロックの位相を、主分配回路から供給されるクロック信号の位相に合わせることが出来る。

【0059】従って、本実施例では、実施例1の利点に加えて、ブロックごとにクロック配線の長さを異ならしめても、ブロック間のクロックのスキーを低減できると言う利点がある。

【0060】本実施例において、各ブロックのブロック内分配回路6a等としては、LSI内のブロックのうち、最大のクロック配線による遅延時間とそのブロックのクロック配線による遅延時間の差を保証するに必要な遅延時間を、そのブロック内分配回路に入力されたクロック信号に与える必要がある。従って、この実施例で使用する主分配回路は、実施例1のものより大きな遅延時

間を与えることが出来るものを使用する必要がある。

【0061】そのような可変の遅延回路の代わりに、次のような固定の遅延回路を各ブロックの可変遅延回路の入り口に設けることは望ましい。すなわち、そのブロックの内部のクロック配線の遅延時間と上記最大の遅延時間の差に対応する遅延時間を与える固定の遅延回路を使用する。この変形例によれば、各ブロックの主分配回路の可変遅延回路は、実施例1と同じく、ブロックに依存しない、所定の可変時間に渡り、クロック信号を遅延するものでよい。

【0062】(実施例3) 図5は、ブロック2aの中のクロック分配系を実現するための他の実施例を示したものである。図6に、図5の構成のレイアウト例を示す。

【0063】これらの図と図3との相違点は、ブロック内分配回路6aからフリップフロップ9a、9b、10等までの配線61を使用し、それらを駆動する複数のドライバ62を設け、このメッシュ状の配線の適当な点より、配線18がクロック信号をブロック内分配回路6aにクロックを分配する点である。メッシュ状の網状配線を使用することはすでに公知であり、先に述べた参考文献にも記載されている。前述の参考文献に記載されたメッシュ状の配線がチップ全体に一つ設けられているのに対して、この実施例では、メッシュ状の配線61を各ブロックごとに使用し、異なるブロックのメッシュ状配線は相互には接続しない。

【0064】このメッシュ状の配線61を使用した結果、フリップフロップ9a等はこのメッシュ状の配線61の適当な位置に接続すればよいと言う、LSIの設計上の利点がある。

【0065】さらに、各ブロックのメッシュ状の配線61の負荷容量は、ブロック間で同じように設計する。この結果、各ブロック内でのこのメッシュ状の配線によるクロック転送時間を相互に合わせることが出来る。

【0066】さらに、これらのドライバ62あるいはブロック内分配回路6aの駆動能力の、LSI内位置によるばらつきは、先の実施例1と同様に、フィードバックにより調整される。

【0067】さらに、従来のLSI全体にメッシュ状の配線を設けた場合に比べて、本実施例では、ブロックごとに、メッシュ状の配線が設けられているので、メッシュ状の配線のLSIチップ全体での全長は従来技術によるときより小さくなる。従って、配線による電力消費をこの従来技術より軽減できる。

【0068】(実施例4) 実施例3においては、ブロックの大きさが異なるにもかかわらず、ブロック内のメッシュ状の配線の全長を相互に等しくした。しかし、実施例2で述べたのと同じ理由で、ブロックごとにこの全長を決めることが望ましい場合がある。

【0069】このため、本実施例では、実施例3において、各ブロックごとに、メッシュ状の配線61の全長を

異ならしめることを許す。その他の点では、実施例3と同じである。

【0070】実施例2、3の説明から明らかのように、この場合でも、ブロック間のクロックのスキューを低減できることが分かる。

【0071】従って、本実施例では、実施例3の利点に加えて、ブロックごとにメッシュ状のクロック配線の全長を異ならしめても、ブロック間のクロックのスキューを低減できると言う利点がある。

10 【0072】(変形例)

(1) 図7は、実施例1あるいは2で、それ自体公知のように、多段のツリー状に接続されたドライバ62を使用してもよいことを示す。フリップフロップ9a、9b、9c等の数が多いときに、あるいは、それらをより高速にクロック信号で駆動するとき有効である。この場合、各ドライバ62から後段のドライバあるいはフリップフロップまでの配線の負荷容量は、同じ段のドライバに関しては、相互に同じにすることが望ましい。

【0073】(2) 図8は、第3あるいは第4の実施例20で、メッシュ状の配線61と、ブロック内分配回路6aとの間に、それ自体公知の多段のドライバ62を設けてもよいことを示す。これらのドライバは、図7と異なり、同じ段のドライバの出力が相互に接続される。

【0074】(3) ブロック内分配回路の可変遅延回路の代わりに、前述の参考文献にも紹介されているVCO (Voltage Controlled Oscillator) を用いてクロック出力の位相を調整することも可能である。

【0075】

【発明の効果】以上説明したように、本願第1の発明によれば、集積度の非常に高いLSIや、チップ内の特性バラツキが大きいLSIにおいて、スキューが非常に小さいクロック信号をチップ内に供給できる。

【0076】さらに、本願第2の発明によれば、LSI内のクロック信号配線の長さを、LSI内位置により変えることを許しながら、LSI内全体にスキューの小さいクロック信号を提供し得る。

【0077】さらに、本願第3の発明によれば、ブロック内の配線長の比較的簡単な制御により、上記スキューの少ないクロック信号を、チップ全体にネット状のクロック信号配線を用いる場合より少ない消費電力で供給することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるクロック分配回路を示す図。

【図2】図1の主分配回路(5)の概略構成を示す図。

【図3】図1のブロック内のクロック分配系を示す図。

【図4】図1のブロック内のレイアウト例の概略図。

【図5】本発明の第3の実施例によるクロック分配回路のうち、ブロック内のクロック分配系を示す図。

【図6】図5のブロックのレイアウト例の概略図。

【図7】本願の実施例1、2で使用され得る多段の接続されたドライバを示す図。

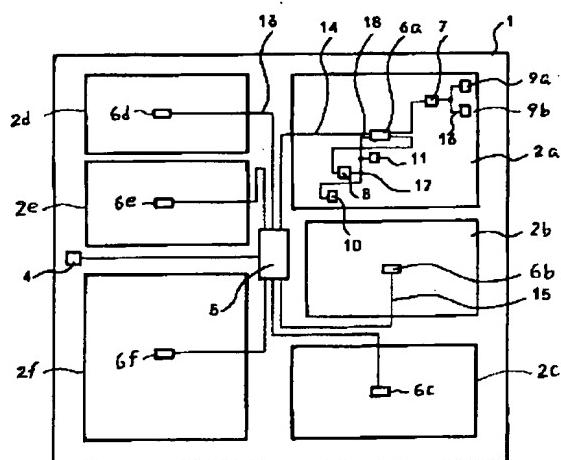
【図8】本願の実施例3、4で使用され得る多段の接続されたドライバを示す図。

【符号の説明】

1…LSIチップ、2a、2b…ブロック、5…主分配

【図1】

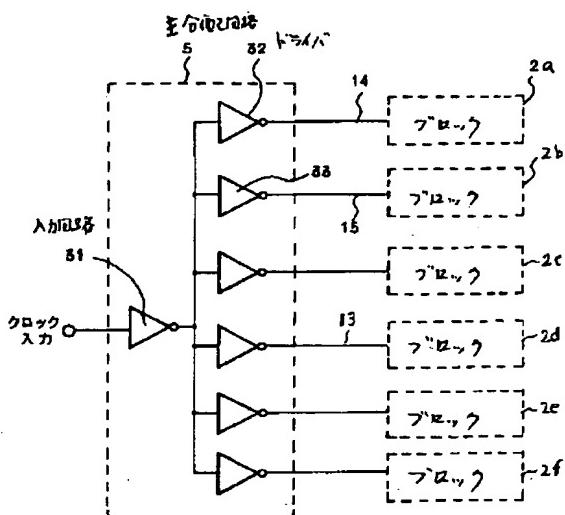
図1



1: LSIチップ, 7°
2a～2f: ブロック
5: 主分配回路
6a～6f: ブロック内分配回路
7, 8: ドライバ
9a, 9b, 10, 11: フリップフロップ, 7°, 7°, 7°, 7°

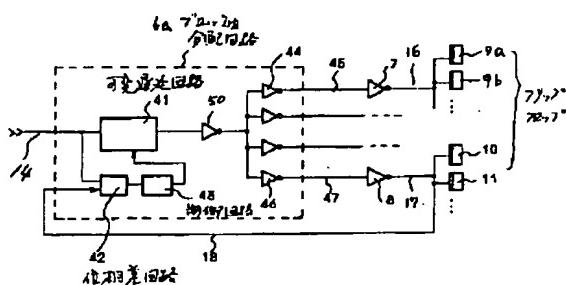
【図2】

図2



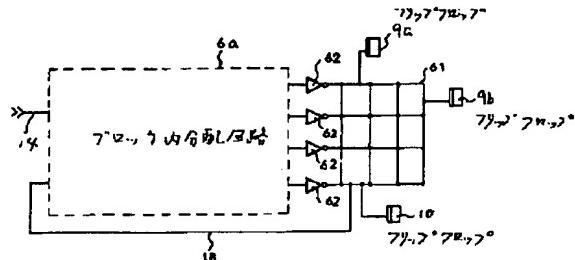
【図3】

図3



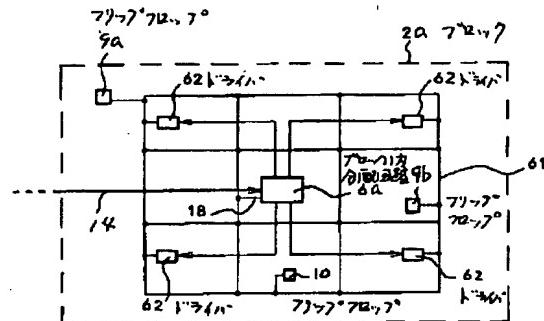
[图 5]

5



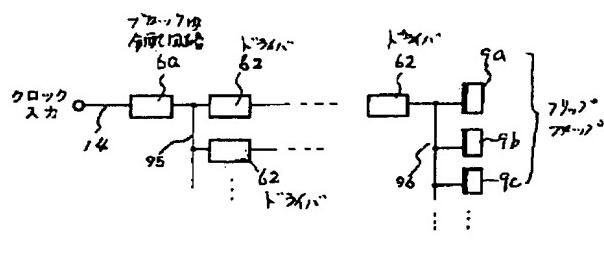
[図 6]

6



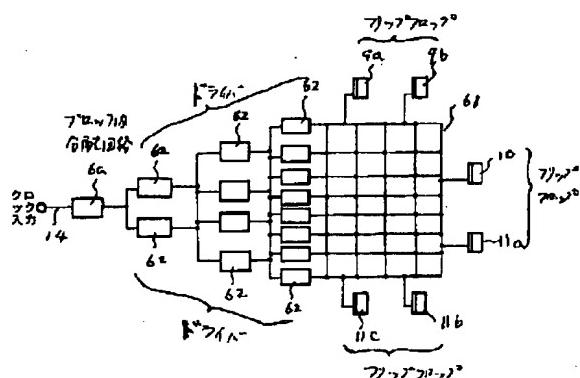
[図 7]

7



[图8]

8



フロントページの続き

(72) 発明者 西向井 忠彦

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内